

Partial Isolation Type Saddle-FinFET (Pi-FinFET)s 에서 Single Charge Trap 에 의한 누설전류 분석

박진효, 김건, 김동영, 김수연, 박제원

이명진*

전남대학교, *전남대학교

206070@jnu.ac.kr, rjslchd@naver.com, dy3351@gmail.com, bollic4504@gmail.com,
you05281@naver.com, *mjlee@jnu.ac.kr

A Study on the S-TAT current in Partial Isolation Type Saddle-FinFET (Pi-FinFET)s

Jin Hyo Park, Geon Kim, Dong Young Kim, Su Yeon Kim, Je Won Park

Myoung Jin Lee*

Chonnam Univ., *Chonnam Univ.

Corresponding author: Myoung Jin Lee

요 약

본 논문은 single charge trap 에 의한 누설전류를 분석하는 방법으로 기존의 saddle type FinFET (SFinFET)과 SFinFET 의 드레인(drain) 영역 하단에 절연체(insulator)를 고립시킨 partial isolation type saddle FinFET(Pi-FinFET) 구조를 비교하였다. 3D TCAD 를 이용하여 드레인 영역 하단에 single charge trap 의 위치를 조정해가며 single charge trap 이 누설전류 메커니즘에 미치는 영향을 분석하였다. 그 결과 Pi-FinFET 이 single charge trap 의 위치와 상관없이 SFinFET 보다 개선된 성능을 나타내는 것을 확인했다. 본 논문에서는 single charge trap 에 의한 누설전류를 예측하는 방법을 통해 DRAM refresh 특성 향상을 위한 소자 디자인 가이드라인을 제시한다.

I. 서 론

반도체 동작에 있어 결함(defect)은 소자 특성에 치명적인 영향을 미친다. Defect 는 외부 환경에 의해 생길 수도 있고 과도한 stress 에 의해 발생하기도 한다. 이는 문턱전압과 transconductance 그리고 carrier mobility 에 영향을 주며 Trap-Assisted Tunneling (TAT)에 의해 주된 leakage path 로 작용될 수 있다 [1]. 이러한 문제는 반도체 소자의 신뢰성 및 성능과 직접적인 연관이 있다 [2]. 그렇기 때문에 소자 특성을 분석하는 데 있어 defect 에 대한 정확한 예측이 필요하다. 그러기 위해서 본 논문은 defect 가 DRAM cell transistor 의 누설전류에 미치는 영향에 대해서 분석했다. DRAM 동작에서 defect 의 정확한 위치를 파악하는 것이 불가능하기 때문에 누설전류에 영향을 미치는 드레인 하단의 다양한 위치에서 single charge trap 이 누설전류에 미치는 영향에 대해 분석했고 그 평균값을 이용해 소자를 비교하는 방법을 제시한다 [3]. 이 방법에 따르면 Pi-RFinFET 은 RFinFET 보다 2 배 작은 누설전류 변동 값을 보였다.

II. 본론

본 논문에서는 modified saddle type FinFET (RFinFET) 과 RFinFET 의 드레인 하단 insulator 를 삽입한 Pi-RFinFET 구조를 사용하였고[4], 이 소자들은 3D 소자 시뮬레이터(sentaurus TCAD)로 제작하였다 [5]. 그림 1-(a) 는 Pi-RFinFET 의 3 차원 구조를 나타낸다. RFinFET 은 modified saddle type FinFET 으로 side gate 가 channel 영역에만 존재하는 구조로, 게이트와 드레인의 overlap region 을 줄여

GIDL 을 개선한 소자이다. Pi-FinFET 의 buried insulator 는 등방성 식각을 통해 형성할 수 있으며, 에칭 시간을 조절하여 측면 깊이를 조절할 수 있다. 그림 1-(b) 는 RFinFET 의 단면도이며 초록색 점선으로 된 사각형은 Pi-RFinFET 에서의 buried insulator 의 영역을 나타낸다. 검은색 점은 본 논문에서 사용한 single charge trap 의 위치이다.

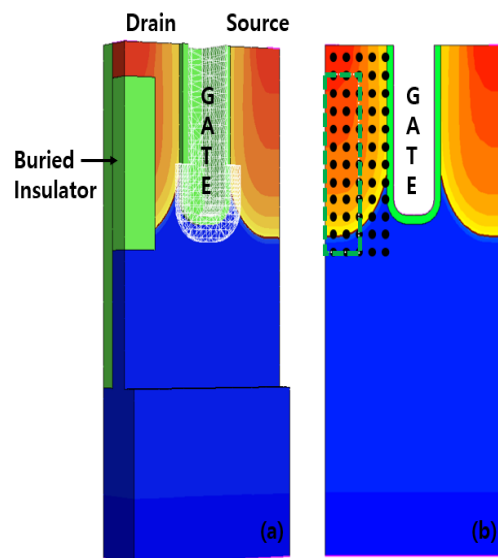


그림 1. (a) Pi-RFinFET 의 3D 구조와 (b) 단면도 및 single charge trap 의 위치.

그림 2-(a) 는 Pi-RFinFET 소자에서 single charge trap 위치에 따른 누설전류 그래프이다. 검은색 그래프는

single charge trap 을 고려하지 않은 결과이고 검은색 선위에 검은색 원이 존재하는 그래프는 파란색 그래프값의 평균값이다. 그림 2-(b) 는 single charge trap 에 따른 그래프의 평균값과 single charge trap 을 고려하지 않은 그래프를 나타낸다. RFinFET 의 경우 single charge trap 을 고려하였을 경우 누설전류가 20% 증가하였고, Pi-RFinFET 의 경우 25%가 증가하였다. 이를 통해 정확한 누설전류 예측을 위해 single charge trap 에 대한 고려가 필요함을 확인할 수 있다. 그림 2-(b) 를 보면 Pi-RFinFET 이 RFinFET 보다 2 배 작은 변동 폭을 가지고 있음을 확인할 수 있고, 이를 통해 Pi-RFinFET 이 RFinFET 보다 single charge trap 에 영향을 덜 받는다는 것을 확인할 수 있다.

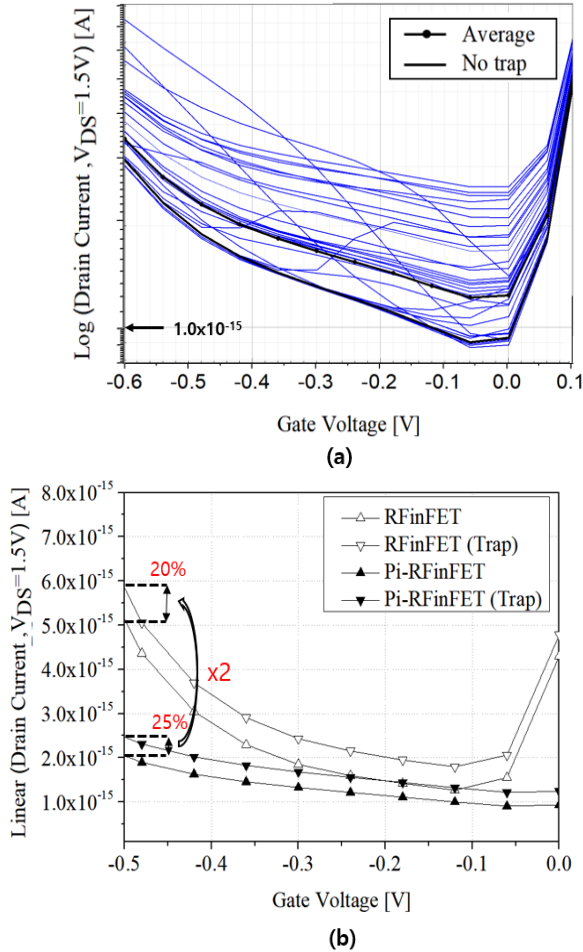


그림 2. (a) Pi-RFinFET 에서 single charge trap 에 따른 leakage current (b) Pi-RFinFET 과 RFinFET 에서 single charge trap 유무에 따른 그래프 비교. Single charge trap 은 acceptor like trap 에 $E_t=E_i$

그림 3 은 RFinFET 과 Pi-RFinFET 에서의 electric field 분포를 나타낸다. Pi-RFinFET 의 경우 절연체의 영향으로 강한 electric field 가 상단에서만 형성되는 것을 확인할 수 있다. 이는 절연체 내부에서도 potential drop 이 발생하게 되고 드레인 하단 영역에서 발생하는 potential modulation 현상이 게이트와 드레인 사이의 전계가 감소하는 결과로 이어지기 때문이다. 반면 RFinFET 의 경우 강한 전계가 드레인 하단에 더 넓게 분포하고 있다. 전계의 감소는 누설전류의 메커니즘인 tunneling 현상이 발생할 확률이 줄어들음을 의미한다. 따라서 같은 위치에 single charge trap 이 존재하더라도

전계의 분포가 한정적이고 작은 전계를 가지고 있는 Pi-FinFET 이 RFinFET 에 비해 trap 의 영향을 덜 받는다는 것을 확인할 수 있다.

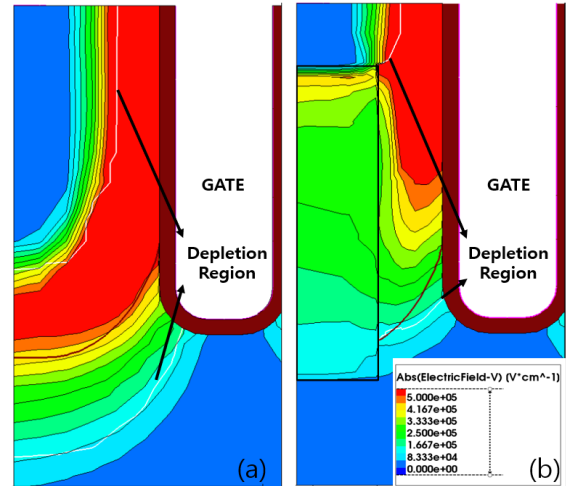


그림 3. (a) RFinFET 과 (b) Pi-RFinFET 에서의 electric field

III. 결론

본 논문에서는 RFinFET 과 Pi-RFinFET 에서 single charge trap 에 의한 누설전류를 분석하는 방법을 제시한다. Single charge trap 은 특정 위치에서 소자에 치명적으로 작용하며, 이 분석 방법을 통해 그 위치를 확인하여 공정 시 그 위치에 대한 피드백을 통해 소자의 신뢰성을 높일 수 있다. 또한 single charge trap 에 의한 누설전류 변동의 평균값을 통해 소자 간 trap 에 대한 취약성을 비교할 수 있으며 이를 통해 DRAM refresh 특성 향상을 위한 소자 디자인 가이드라인을 제시할 수 있다.

ACKNOWLEDGMENT

This work was supported in part by the BK21 FOUR Program (Fostering Outstanding Universities for Research, 5199991714138) and in part by the National Research Foundation of Korea (NRF) grant funded by the Korean government (MSIT; grant number 2018RIA2B600821613). The EDA tool was supported by the IC Design Education Center (IDEC), Korea.

참 고 문 헌

- [1] S.R. Stiffler, "Oxidation-induced defect generation in advanced DRAM structures," IEEE Transactions on Electron Devices, vol.37, pp. 1253-1287, May.1990.
- [2] K.N. Kim, "A New Investigation of Data Retention Time in Truly Nanoscaled DRAMs," IEEE Electron Device Letters, vol.30, pp. 846-848, Aug.2009
- [3] J.H. Park, "S-TAT Leakage Current in Partial Isolation Type Saddle-FinFET(Pi-FinFET)s," IEEE Access, vol.9, pp. 111567-111575, Aug. 2021.
- [4] Y.K. Kim, "Partial Isolation Type Saddle FinFET(Pi-FinFET) for sub-30nm DRAM Cell Transistors," Electronics, vol.8, pp. 8.1-8.6, Oct.2019.
- [5] Synopsis Inc. TCAD Sentaurus Manual, Synopsis®, version D-2013.03; Synopsis Inc.: Mountain View, CA, USA, 2013